

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002064163 A**(43) Date of publication of application: **28.02.02**

(51) Int. Cl.

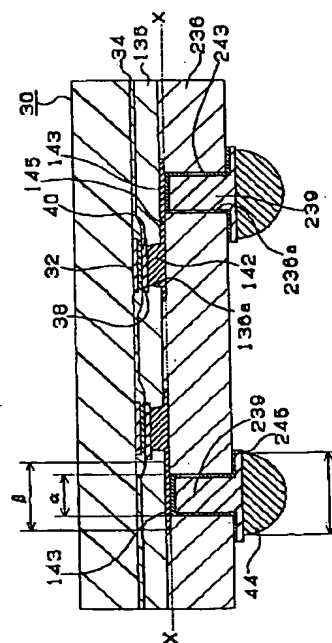
**H01L 23/12**  
**H01L 21/60**
(21) Application number: **2000249577**(71) Applicant: **IBIDEN CO LTD**(22) Date of filing: **21.08.00**(72) Inventor: **SUGIYAMA SUNAO**(54) **SEMICONDUCTOR CHIP**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor chip having a wiring for mounting without a disconnection of the wiring.

**SOLUTION:** A diameter  $\beta$  of a land 143 is made within the range from 1.2 to 15 times the diameter  $\alpha$  of a post 239. Since the land diameter is 1.2 or more times the post diameter, the land 143 is not delaminated from a first insulating layer 136 even if the post 239 is pulled by thermal contraction of a second insulating layer 236. The land diameter is 15 or less times the post diameter, so the possibility of delamination between the land 143 and the post 239 can be decreased by enlarging the land diameter.

COPYRIGHT: (C)2002,JPO



## (19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-64163

(P2002-64163A)

(43) 公開日 平成14年2月28日 (2002.2.28)

(5) Int.Cl.	識別記号	P I	チートド (参考)
H01L 23/12	501	H01L 23/12	501P
21/60		21/52	604B

審査請求 未請求 請求項の数 4 O L (全 13 頁)

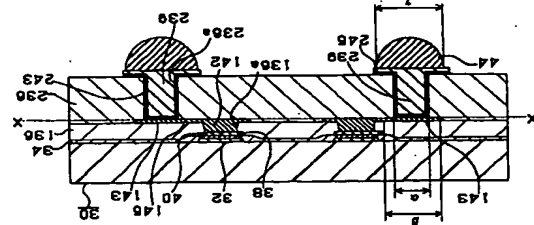
(21) 出願番号	2000-249577 (P2000-249577)	(71) 出願人	000000158 イビデン株式会社 岐阜県大垣市神田町2丁目1番地 杉山 直
(22) 出願日	平成12年8月21日 (2000.8.21)	(72) 発明者	イビデン株式会社大垣北工場内 100095795 井理士 山下 明人 (外1名)

## (54) 発明の名 半導体チップ

(57) 要約

【課題】 実装用の配線を備え、当該配線に断線の生じない半導体チップを提供する。

【解決手段】 ランド143の径を、ポスト239の径αの1.2倍〜1.5倍の範囲にする。ランド径がポスト径の1.2倍以上あるため、第2絶縁層236の熱収縮でポスト239が引っ張られても、ランド143が第1絶縁層136から剥離することはない。一方、ランド径がポスト径の1.5倍以下であるため、ランド径を大きくすることで、ランド143とポスト239との間の剥離の可能性を低減することができる。



## 【特許請求の範囲】

【請求項1】 半導体チップの電極パッド側の表面に第1の絶縁層と第2の絶縁層とが形成され、

前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続されるランドが形成され、

前記第2の絶縁層には、前記ランドへ至る第2の非貫通孔が設けられ、該第2の非貫通孔に銅めっきを充填してなるポストが形成された半導体チップであって、前記ランド径が、前記ポスト径の1.2倍以上であることを特徴とする半導体チップ。

【請求項2】 半導体チップの電極パッド側の表面に第1の絶縁層と第2の絶縁層とが形成され、

前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続される第1ランドが形成され、

前記第2の絶縁層には、前記第1ランドへ至る第2の非貫通孔が設けられ、該第2の非貫通孔に銅めっきを充填してなるポストが形成され、該ポスト上に第2ランドが形成され、該第2ランドにバンパが形成された半導体チップであって、

前記バンパ径が、前記ポスト径の1.2倍以上であることを特徴とする半導体チップ。

【請求項3】 半導体チップの電極パッド側の表面に第1の絶縁層と第2の絶縁層とが形成され、

前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続されるランドが形成され、

前記第2の絶縁層には、前記ランドへ至る第2の非貫通孔が設けられ、該第2の非貫通孔に銅めっきを充填してなるポストが形成された半導体チップであって、

前記第2の絶縁層の表面には、前記ポストに接続されたビアが形成され、また、前記第2の絶縁層の表面には当該ビアに接続される第2ランドが形成され、

前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続される第1ランドが形成され、

前記第2の絶縁層には、前記第1ランドへ至る第2の非貫通孔が設けられ、該第2の非貫通孔に銅めっきを充填してなるポストが形成された半導体チップであって、

前記第2の絶縁層の表面には、前記ポストに接続されたビアが形成され、また、前記第2の絶縁層の表面には当該ビアに接続される第2ランドが形成され、

前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続される第1ランドが形成され、

前記第2の絶縁層には、前記第1ランドへ至る第2の非貫通孔が設けられ、該第2の非貫通孔に銅めっきを充填してなるポストが形成された半導体チップであって、

前記第2の絶縁層の表面には、前記ポストに接続されたビアが形成され、また、前記第2の絶縁層の表面には当該ビアに接続される第2ランドが形成され、

前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続される第1ランドが形成され、

前記第2の絶縁層には、前記第1ランドへ至る第2の非貫通孔が設けられ、該第2の非貫通孔に銅めっきを充填してなるポストが形成された半導体チップであって、

前記第2の絶縁層の表面には、前記ポストに接続されたビアが形成され、また、前記第2の絶縁層の表面には当該ビアに接続される第2ランドが形成され、

前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続される第1ランドが形成され、

前記第2の絶縁層には、前記第1ランドへ至る第2の非貫通孔が設けられ、該第2の非貫通孔に銅めっきを充填してなるポストが形成された半導体チップであって、

前記第2の絶縁層の表面には、前記ポストに接続されたビアが形成され、また、前記第2の絶縁層の表面には当該ビアに接続される第2ランドが形成され、

前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続される第1ランドが形成され、

前記第2の絶縁層には、前記第1ランドへ至る第2の非貫通孔が設けられ、該第2の非貫通孔に銅めっきを充填してなるポストが形成された半導体チップであって、

前記第2の絶縁層の表面には、前記ポストに接続されたビアが形成され、また、前記第2の絶縁層の表面には当該ビアに接続される第2ランドが形成され、

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体チップに關し、特にマザーボード、ドータボード等の外部基板に直接実装できる半導体チップに關するものである。

【0002】

【従来の技術】 図15に従来の技術に係る半導体チップ330及びその実装形態を示す。半導体チップ330のアルミニウム電極パッド332には、ニッケルめっき層334及び金めっき層338を介して、バンパ3310が設けられている。ここで、半導体チップ330は、該バンパ3310を介して、パッケージ3350側の電極パッド352に電気的に接続されている。

【0003】 とところで、半導体チップ330とパッケージ3350とは、熱膨張率が異なるため、両者の間に発生する応力を緩和することが必要であり、図15に示した実装形態においては、半導体チップ330とパッケージ3350との間にアンダーフィル336を配設し、両者を固着させることにより、電氣的接続部に断線が発生しないように構成されている。

【0004】 しかしながら、近年の半導体チップの高集積化に伴い、半導体チップのバンパが小型化され、上述した実装形態によっても、半導体チップ330とパッケージ3350との間の応力により、小型化された電氣的接続部が断線することがあった。

【0005】

【発明が解決しようとする課題】 このような問題点に對し、本出願人は、特開平10-294638にて、図16に示す構成の半導体チップを提案した。この半導体チップでは、半導体チップ430の下面に第1絶縁層436が配設され、該第1絶縁層436に電極パッド432へ接続されたビア442が形成されている。該第1絶縁層436の上層には、第2絶縁層536が形成されている。該第2絶縁層536には、ビア442に接続されたパッド443上に銅めっきポスト439が形成される。該銅めっきポスト439には、バンパ444が配設されている。該半導体チップ430は、バンパ444を介して基板350側のパッド452への接続されている。保る構成では、銅めっきポスト439の弾性により、内部の断線を防いでいる。

【0006】 しかしながら、係る構成においても、熱収縮を繰り返す内に、半導体チップに付加された配線で断線が発生していた。

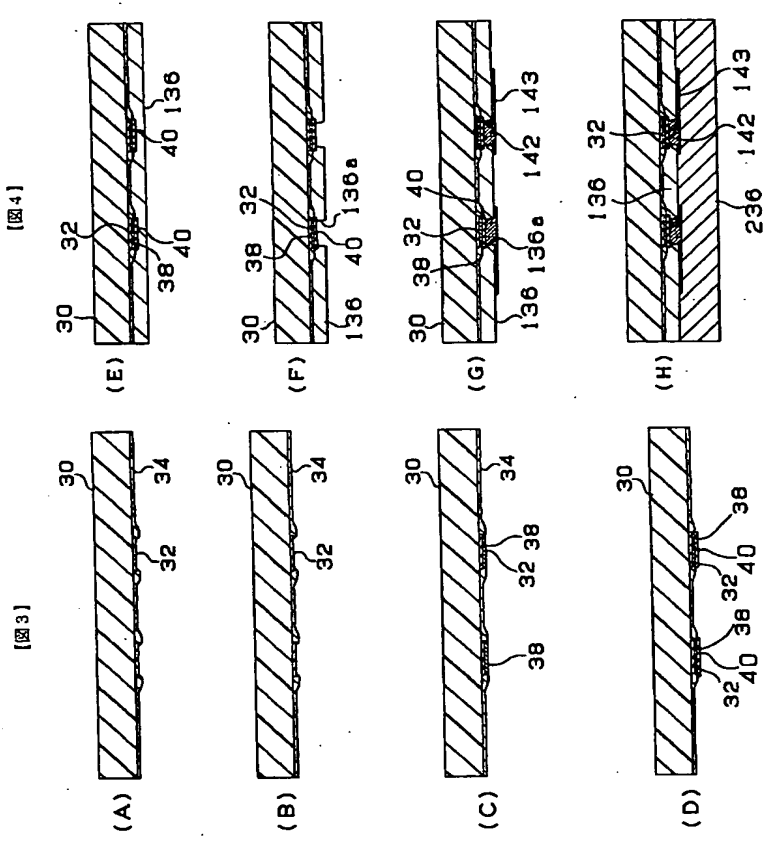
【0007】 本発明は、上述した問題を解決するためになされたものであり、その目的とするところは、実装用の配線を備え、当該配線に断線の生じない半導体チップを提供することにある。

【0008】

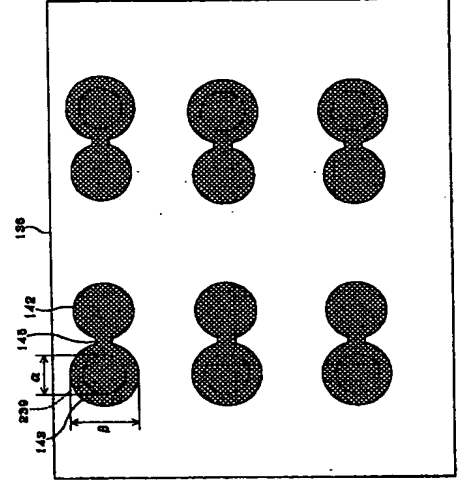
【課題を解決するための手段】 本発明者は、内部断線の





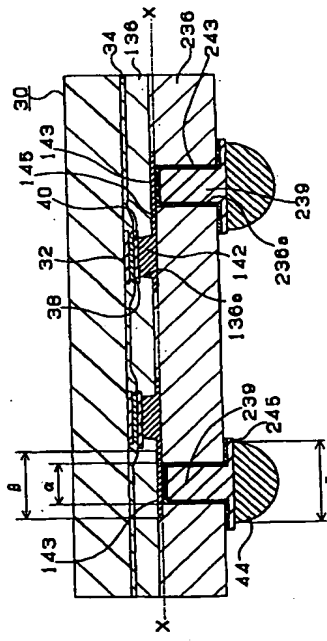


【図7】

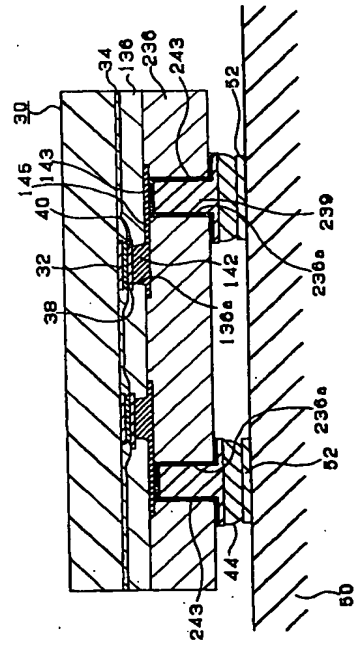


- る。
- 【図16】 先行技術に係る半導体チップの断面図であ
- る。
- 【符号の説明】
- 30 半導体チップ
  - 32 アルミニウム電極バンド
  - 34 パッシベーション膜
  - 38 ニッケルめっき層
  - 40 板めっき層
  - 44 半田バンプ
  - 50 基板
  - 52 パッド
  - 136 第1絶縁層
  - 136a 第1非貫通孔
  - 142 ビツ
  - 143 ランド
  - 236 第2絶縁層
  - 236a 第2非貫通孔
  - 239 ポスト

【図1】



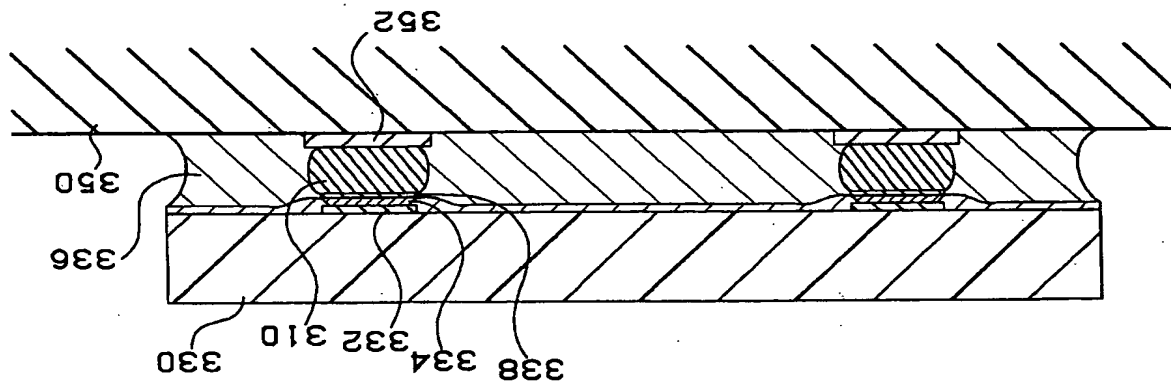
【図2】





(12)

【図15】



(11)

【図12】

第1実施形態の比較表 (A)

ポスト径 ( $\mu$ m)	ランド径 ( $\mu$ m)	比率	絶縁層剥離率 率 (%)
20	20	1.0	9
	22	1.1	4
	24	1.2	0
	26	1.3	0
	28	1.4	0
100		5	0
200		10	0

第1実施形態の比較表 (B)

ポスト径 ( $\mu$ m)	パンブ径 ( $\mu$ m)	比率	絶縁層剥離率 率 (%)
20	20	1.0	9
	22	1.1	4
	24	1.2	0
	26	1.3	0
	28	1.4	0
30		1.5	0

【図11】

